

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-211640

(43)Date of publication of application : 03.08.2001

(51)Int.Cl. H02M 3/155
H01L 27/04
H01L 21/822

(21)Application number : 2000-012128

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.01.2000

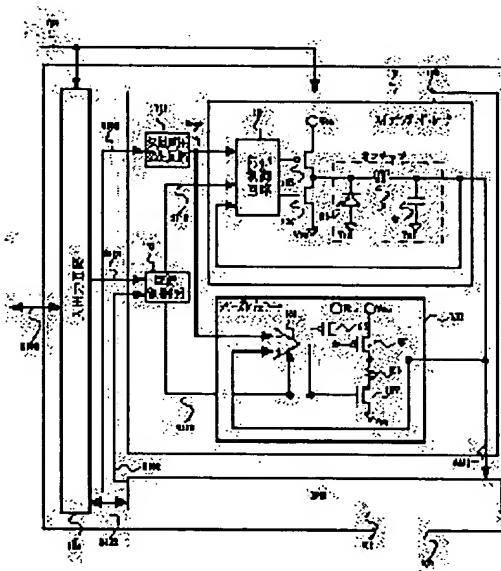
(72)Inventor : HIRAKI MITSURU
ITO SUUTAI

(54) ELECTRONIC DEVICE, SEMICONDUCTOR INTEGRATED CIRCUIT, AND INFORMATION PROCESSING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption and size and provide an electronic device with its power consumption and size reduced.

SOLUTION: A specified output supply voltage is outputted from an input supply voltage to an internal circuit provided with a first operation mode in which a first operating current is consumed, and a second operation mode in which a second operating current smaller than the first operating current is consumed. A first power supply regulator capable of supplying a current corresponding to the first operating current of the internal circuit, and a second power supply regulator capable of supplying a current corresponding to the second operating current, are combined with each other. The first power supply regulator is operated by a power supply control unit in response to a first control signal instructing the first operation mode in the internal circuit, and the second power supply regulator is operated by the power supply control unit in response to a second control signal instructing the second operation mode. Further, the internal circuit and the power supply control unit are installed on one semiconductor integrated circuit device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-211640

(P2001-211640A)

(43) 公開日 平成13年8月3日 (2001.8.3)

(51) Int.Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 2 M 3/155

H 0 2 M 3/155

W

H 0 1 L 27/04

H 0 1 L 27/04

H

21/822

B

審査請求 未請求 請求項の数25 O L (全 20 頁)

(21) 出願番号 特願2000-12128(P2000-12128)

(22) 出願日 平成12年1月20日 (2000.1.20)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 平木 充

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 伊藤 崇泰

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100081938

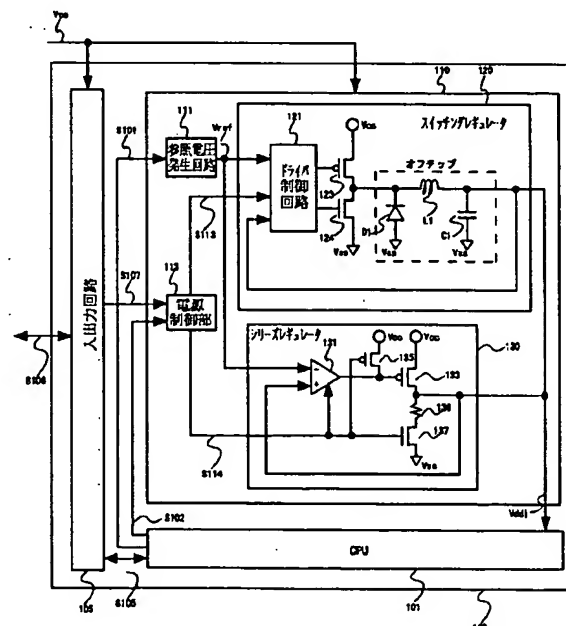
弁理士 徳若 光政

(54) 【発明の名称】 電子装置と半導体集積回路及び情報処理システム

(57) 【要約】

【課題】 低消費電力化、小型化及び小型化と低消費電力化を実現した電子装置を提供する。

【解決手段】 第1の動作電流を消費する第1の動作モード及び上記第1の動作電流よりも小さな第2の動作電流を消費する第2の動作モードとを備えた内部回路に対して、入力電源電圧から規定出力電源電圧を出力し、上記内部回路の上記第1の動作電流に対応した電流供給能力を持つ第1の電源レギュレータ及び上記第2の動作電流に対応した電流供給能力を持つ第2の電源レギュレータとを組み合わせ、電源制御部により上記内部回路における第1の動作モードを指示する第1の制御信号にตอบสนองして上記第1の電源レギュレータを動作させ、上記第2の動作モードを指示する第2の制御信号にตอบสนองして上記第2の電源レギュレータを動作させるとともに、上記内部回路及び電源制御部を1つの半導体集積回路装置に設ける。



【特許請求の範囲】

【請求項 1】 第 1 の動作電流を消費する第 1 の動作モード及び上記第 1 の動作電流よりも小さな第 2 の動作電流を消費する第 2 の動作モードとを備えた内部回路と、入力電源電圧から規定出力電源電圧を出力し、上記内部回路の上記第 1 の動作電流に対応した電流供給能力を持つ第 1 の電源レギュレータ及び上記第 2 の動作電流に対応した電流供給能力を持つ第 2 の電源レギュレータと、上記内部回路における第 1 の動作モードを指示する第 1 の制御信号にตอบสนองして上記第 1 の電源レギュレータを動作させ、上記第 2 の動作モードを指示する第 2 の制御信号にตอบสนองして上記第 2 の電源レギュレータを動作させる電源制御部とを含み、
上記内部回路及び電源制御部を 1 つの半導体集積回路装置に備えてなることを特徴とする電子装置。

【請求項 2】 請求項 1 において、
上記第 1 の電源レギュレータは、上記半導体集積回路装置に形成されたパルス出力回路と、上記半導体集積回路装置の外部に設けられたインダクタンスとキャパシタからなる平滑回路を含むスイッチングレギュレータであり、
上記第 2 の電源レギュレータは、上記半導体集積回路装置に形成された第 1 のシリアルレギュレータであることを特徴とする電子装置。

【請求項 3】 請求項 2 において、
上記内部回路は、電源電圧線がスイッチにより分離された信号処理部と記憶部からなるものであり、
上記内部回路の第 2 の動作モードでは、上記スイッチをオン状態にして上記第 1 のシリアルレギュレータから上記信号処理部と記憶部に電流を供給する動作と、上記スイッチをオフ状態にして上記記憶部のみに電流を供給する動作とを含むことを特徴とする電子装置。

【請求項 4】 請求項 2 において、
上記内部回路は、電源電圧線がスイッチにより分離された信号処理部と記憶部からなるものであり、
上記入力電源電圧から上記規定出力電源電圧にする第 2 のシリアルレギュレータを更に備え、
上記内部回路の第 2 の動作モードは、上記スイッチをオン状態にして上記第 1 のシリアルレギュレータから上記信号処理部と記憶部に電流を供給するものと、上記第 1 のシリアルレギュレータが動作を停止し、かつ上記スイッチをオフ状態にして上記第 2 のシリアルレギュレータが動作を行なって上記記憶部のみに電流を供給する動作とを含むことを特徴とする電子装置。

【請求項 5】 請求項 2 において、
上記入力電源電圧から所定の出力電源電圧にする第 2 のシリアルレギュレータと、かかる第 2 のシリアルレギュレータによって動作電圧が与えられるアナログ回路とを更に備え、
上記第 2 のシリアルレギュレータは、上記のスイッチン

グレギュレータとシリアルレギュレータとが動作を停止させられるときに同時に動作を停止させられるものであることを特徴とする電子装置。

【請求項 6】 請求項 2 において、
上記入力電源電圧又は上記規定出力電圧を受け、上記規定出力電圧以下の低電圧を出力する第 3 のシリアルレギュレータと、かかる第 3 のシリアルレギュレータによって動作電圧が与えられる部分回路とを更に備え、
上記第 3 のシリアルレギュレータは、上記スイッチングレギュレータとシリアルレギュレータとが動作を停止させられるときに同時に動作を停止させられるものであることを特徴とする電子装置。

【請求項 7】 請求項 2 において、
上記第 1 の電源レギュレータは、上記半導体集積回路装置に形成された上記第 1 の動作電流に対応した大きなサイズの出力トランジスタで形成されたパルス出力回路と、上記半導体集積回路装置の外部に設けられたインダクタンスとキャパシタからなる平滑回路を含む第 1 のスイッチングレギュレータであり、
上記第 2 の電源レギュレータは、上記半導体集積回路装置に形成された上記第 2 の動作電流に対応した小さなサイズの出力トランジスタで形成されたパルス出力回路と、上記平滑回路を含む第 2 のスイッチングレギュレータであることを特徴とする電子装置。

【請求項 8】 請求項 1 ないし 7 のいずれか 1 において、
上記内部回路は、内蔵されたプログラムによって信号処理を行なうマイクロコンピュータ機能を持つデータ処理回路を含み、
上記プログラムに従って上記第 1 動作モードと第 2 動作モードの切り換えと、上記第 1 と第 2 の制御信号が形成されるものであることを特徴とする電子装置。

【請求項 9】 請求項 8 において、
上記入力電源電圧は、電池により形成されるものであることを特徴とする電子装置。

【請求項 10】 入力電源電圧から規定出力電源電圧を出力するスイッチングレギュレータと、
前記のスイッチングレギュレータからの給電により動作する内部回路を備えた半導体集積回路装置とを含み、
上記スイッチングレギュレータは、
上記半導体集積回路装置に形成されたドライバ制御回路と、
上記半導体集積回路装置の外部に設けられ、上記ドライバ制御回路で形成された駆動信号により出力パルス信号を形成する出力回路と、
上記出力パルス信号を平滑するインダクタンスとキャパシタから構成されるものであることを特徴とする電子装置。

【請求項 11】 請求項 10 において、
上記出力回路は、上記駆動信号がゲートに供給され、ソ

ースに上記入力電源電圧が供給されたスイッチMOSFETと、上記スイッチMOSFETと回路の接地電位との間に設けられた逆流防止ダイオードからなることを特徴とする電子装置。

【請求項12】 請求項10又は11において、上記出力回路の電流検出抵抗と、かかる検出抵抗に発生した電圧が設定された許容値を超えたときに、上記出力回路の動作を制限する保護回路を更に備えてなることを特徴とする電子装置。

【請求項13】 請求項10ないし12のいずれか1 10 において、

上記内部回路は、第1の動作電流を消費する第1の動作モード及び上記第1の動作電流よりも小さな第2の動作電流を消費する第2の動作モードとを持ち、

上記スイッチングレギュレータは、上記内部回路の上記第1の動作電流に対応した電流供給能力を持つようにされ、

上記半導体集積回路装置に内蔵され、第2の動作電流に対応した電流供給能力を持つ降圧型レギュレータと、上記内部回路における第1の動作モードを指示する第1の 20 制御信号に応答して上記スイッチングレギュレータを動作させ、上記第2の動作モードを指示する第2の制御信号に応答して上記降圧型レギュレータを動作させる電源制御部とを更に備えてなることを特徴とする電子装置。

【請求項14】 請求項12又は13において、上記降圧型レギュレータは、シリーズレギュレータであることを特徴とする電子装置。

【請求項15】 請求項12又は13において、上記降圧型レギュレータは、上記半導体集積回路装置に形成された上記第2の動作電流に対応した小さなサイズの出力トランジスタで形成されたパルス出力回路と、上記インダクタンスとキャパシタを用いたスイッチングレ 30 ギュレータであることを特徴とする電子装置。

【請求項16】 請求項10ないし15のいずれか1 において、

上記内部回路は、内蔵されたプログラムによって信号処理を行なうマイクロコンピュータ機能を持つデータ処理回路を含み、

上記プログラムに従って上記第1動作モードと第2動作モードの切り換えと、上記第1と第2の制御信号が形成 40 されるものであることを特徴とする電子装置。

【請求項17】 請求項16において、上記入力電源電圧は、電池により形成されるものであることを特徴とする電子装置。

【請求項18】 第1の動作モードと第2の動作モードを有し、
所定の電圧の電力を供給される電源端子と、
上記第1の動作モード時に動作し、上記電源端子に接続され、第1の電圧である電源電力を供給する第1電源部と、

上記第2の動作モード時に動作し、上記電源端子に接続され、第2の電圧である電源電力を供給する第2電源部とを有し、

動作モード信号に応じて、上記第1の動作モードと第2の動作モードを選択的に切換えが可能であることを特徴とする半導体集積回路。

【請求項19】 上記動作モード信号に接続される制御回路を有し、

上記制御回路は、上記第1の動作モードを指示された場合、上記第1電源部を動作させ、

上記第2の動作モードを指示された場合、上記第2電源部を動作させることを特徴とする請求項18の半導体集積回路。

【請求項20】 請求項19の半導体集積回路において、

上記第1電源部に接続される第1回路と、

上記第1電源部と第2電源部に接続される第2回路とを有することを特徴とする半導体集積回路。

【請求項21】 上記第1の動作モードは動作状態であり、上記第2の動作モードは状態保持状態であり、
上記第2回路は、上記第1の動作モードでは所定の動作を行い、

上記第2の動作モードでは内部状態を保ち続けるものであることを特徴とする請求項20の半導体集積回路。

【請求項22】 請求項21の半導体集積回路は、

更に第3の動作モードを有し、

上記第3の動作モードを指示された場合、上記制御回路は上記第2電源部を動作させ、

上記第2回路は、上記第2の動作モードを指示された場合、上記第1電源部に接続され、

上記第3の動作モードを指示された場合、電源供給が停止される第3回路と、

上記第2の動作モードを指示された場合、上記第1電源部に接続され、上記第3の動作モードを指示された場合、上記第2電源部に接続される第4回路を有することを特徴とする半導体集積回路。

【請求項23】 上記第3回路は上記第3の動作モードを指示された場合、所定の時間第1電源部から電源を供給された後、電源供給が停止されるものであり、

上記第3の動作モードを指示された場合、上記第3回路は、電源供給が停止される前に所定の情報を上記第4回路に渡すものであることを特徴とする請求項22の半導体集積回路。

【請求項24】 請求項19の半導体集積回路において、

上記第1電源部に接続される第5回路と、

上記第2電源部に接続される第6回路とを有することを特徴とする半導体集積回路。

【請求項25】 第1動作モードと第2動作モードを有し、

電源端子と、

上記電源端子に接続され、第1の電圧である電源電力を供給する第1電源部と、第2の電圧である電源電力を供給する第2電源部と、

上記第1動作モードと第2動作モードを指示する動作モード信号と、

データ処理部と、

上記動作モード信号に応じて、上記データ処理部に、上記第1動作モード時に上記第1電源部から電源電力を供給し、上記第2動作モード時に上記第2電源部から電源電力を供給する供給電力選択部とを有する半導体集積回路と、

上記電源端子に接続される電源部と、電源部に接続される第1回路を有することを特徴とする情報処理システム

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電子装置と半導体集積回路及び情報処理システムに関し、主として電池駆動される携帯用電子装置の電源供給技術に利用して有効な技術に関するものである。

【0002】

【従来の技術】半導体チップ間のインタフェースには標準的な電源電圧（例えば3.3V）が使用され続ける一方で、微細化が進むにしたがってトランジスタの耐圧は低下していくため、LSI（大規模半導体集積回路装置）の内部電源電圧は世代ごとに低電圧化される方向にある。しかしながら、このようなLSIでは内部電源電圧が一般にチップごとに異なるので、内部電源電圧を実装ボード上の電源から供給するとチップの数だけ電源を用意することになり、システムのコスト上昇や実装面積の増大を引き起こすという問題がある。

【0003】この問題を解決する技術として、降圧型のスイッチングレギュレータをインダクタンスとキャパシタからなる平滑回路を除いてをオンチップ化し、半導体チップにはインタフェース用の標準的な電源電圧 V_{cc} のみを供給し、各チップ上で降圧して内部電源電圧 V_{dd} を発生させる方法が知られている。このような技術に関しては、Proceedings of Custom Integrated Circuits Conference, May1997, pp.587-590やInternational Solid-State Circuits Conference, Digest of Technical Papers, Feb. 1999, pp.156-157に記載されている。

【0004】

【発明が解決しようとする課題】上記の従来技術では、チップ上の内部回路がスタンバイ状態（例えば内蔵されたCPUのクロックが停止した状態）にあり、その負荷電流が非常に小さくなった場合には、電力変換効率が極端に低下し、内部回路にごくわずかの電力しか供給する必要がないにもかかわらずスイッチングレギュレータ自身ではかなりの電力を消費してしまうという問題がある。これはスイッチングレギュレータ内の出力パルスを

形成する出力MOSFETのスイッチング動作により消費されるAC電力が出力電力と比べて無視できない大きさになるからである。特に携帯用電子機器では、このようなスタンバイ時の電力損失は携帯機器の重要な性能指標であるバッテリー寿命を縮める原因となる。

【0005】本願発明者等においては、この発明をなした後の公知技術の調査より特開平5-260727号公報、特表平9-503120号公報において、スイッチングレギュレータとシリーズレギュレータとを組み合わせることで出力電流により両者を使い分けて電力損失を小さくするという電源装置が開示されていることを認識している。しかしながら、かかる電源装置では、出力電流をモニタして上記両者の切り換えを行なうものであり一見すると合理的であるが、マイクロコンピュータ等のような電子装置では、CPU（中央処理装置）等が何も動作を行なわないスタンバイ状態と、データ処理を行なう動作状態では消費される電流が大きく異なる。特に、スタンバイ状態から動作状態になるときは急激に電流が大きくなる。したがって、上記のように消費電流をモニタして電源回路の切り換えを行なったのでは、CPUの動作に必要な電圧や電流が確保できずに誤動作を引き起こすという問題が生じる。

【0006】本願発明者においては、上記マイクロコンピュータ等のようなプログラム制御される電子装置では、それ自身が動作モードを設定するものであることに着目し、上記内部で発生した制御信号を用いて電源装置の高効率化を図ることを考えた。また、電子装置においては、回路素子を半導体集積回路装置の内部に取り込むことによって部品点数を削減する方向に向かっている。しかしながら、電源回路では、回路素子の内蔵化が必ずしも有利ではないことに気が付いた。

【0007】この発明の目的は、低消費電力化を実現した電子装置と半導体集積回路及び情報処理システムを提供することにある。この発明の他の目的は、小型化を実現した電子装置と情報処理システムを提供することにある。この発明の更に他の目的は、小型化と低消費電力化を実現した電子装置及び情報処理システムを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、第1の動作電流を消費する第1の動作モード及び上記第1の動作電流よりも小さな第2の動作電流を消費する第2の動作モードとを備えた内部回路に対して、入力電源電圧から規定出力電源電圧を出力し、上記内部回路の上記第1の動作電流に対応した電流供給能力を持つ第1の電圧レギュレータ及び上記第2の動作電流に対応した電流供給能力を持つ第2の電

源レギュレータとを組み合わせ、電源制御部により上記内部回路における第1の動作モードを指示する第1の制御信号に応答して上記第1の降圧型レギュレータを動作させ、上記第2の動作モードを指示する第2の制御信号に応答して上記第2の降圧型レギュレータを動作させるとともに、上記内部回路及び電源制御部を1つの半導体集積回路装置に設ける。

【0009】本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、入力電源電圧から規定出力電源電圧を出力するスイッチングレギュレータと、前記のスイッチングレギュレータからの給電により動作する内部回路を備えた半導体集積回路装置とを含む電子装置において、上記スイッチングレギュレータを、上記半導体集積回路装置に形成されたドライバ制御回路と、上記半導体集積回路装置の外部に設けられ、上記ドライバ制御回路で形成された駆動信号により出力パルス信号を形成する出力回路と、上記出力パルス信号を平滑するインダクタンスとキャパシタとで構成する。

【0010】

【発明の実施の形態】図1には、本発明に係る電子装置の一実施例の要部ブロック図が示されている。この実施例の電子装置は、半導体集積回路装置100とその外部部品で構成されたダイオードD、インダクタンス（コイル）L1及びキャパシタ（コンデンサ）C1で構成されたスイッチングレギュレータ用の平滑回路から構成される。なお、電源電圧Vccを形成する電池等は省略されている。

【0011】本願において、用語「MOS」は、本来はメタル・オキシド・セミコンダクタ構成を簡略的に呼称するようになったものと理解される。しかし、近年の一般的呼称でのMOSは、半導体装置の本質部分のうちのメタルをポリシリコンのような金属でない電気導電体に換えたり、オキシドを他の絶縁体に換えたりするものの含んでいる。CMOSもまた、上のようなMOSに付いての捉え方の変化に応じた広い技術的意味合いを持つと理解されるようになってきている。MOSFETもまた同様に狭い意味で理解されているのではなく、実質上は絶縁ゲート電界効果トランジスタとして捉えられるような広義の構成をも含めての意味となってきた。本発明のCMOS、MOSFET等は一般的呼称に習っている。

【0012】また、LSIの使用環境に応じて、MOS型トランジスタにより構成されるLSIのみならず、バイポーラ型トランジスタにより構成されるLSIや、バイポーラ型とMOS型の両方のトランジスタにより構成されるBi-CMOS型のLSI等にも適用可能である。LSI基板としてもシリコンのみならず、GaAs等により構成される基板を用いたLSIにおいても本発明の技術的な適用は可能である。

【0013】半導体集積回路装置100の外部からはチップ間のインタフェースに使用される電源電圧Vccが供給される。電源電圧Vccは入出力回路105に給電される一方で、オンチップのレギュレータ回路110によって内部電源電圧Vddiに降圧されて内部回路（例えばCPU；1チップマイクロコンピュータを含む）101に給電される。レギュレータ回路110は、スイッチングレギュレータ120とシリーズレギュレータ130を備えている。

【0014】上記スイッチングレギュレータ120は、ドライバ制御回路121と、それにより駆動されるPチャンネル型MOSFET123及びNチャンネル型MOSFET124からなるCMOS出力回路と、半導体集積回路装置100の外部部品で構成されたダイオードD、インダクタンスL1及びキャパシタC1からなる平滑回路で構成される。

【0015】シリーズレギュレータ130は、電圧比較回路131と、その出力電圧で制御され、可変抵抗として動作するPチャンネル型MOSFET133、上記Pチャンネル型MOSFET133のバイアス電流を流す抵抗136及びNチャンネル型のスイッチMOSFET137と、Pチャンネル型のスイッチMOSFET135から構成される。上記スイッチMOSFET135と137は、電源制御部113で形成された信号S114がロウレベルとき、Nチャンネル型のスイッチMOSFET137がオフ状態に、Pチャンネル型のスイッチMOSFET135がオン状態となって、上記Pチャンネル型MOSFET133をオフ状態にし、出力をハイインピーダンス状態にする。このとき、電圧比較回路131も上記信号S114のロウレベルによってバイアス電流が遮断される。

【0016】各レギュレータ120と130の出力電源電圧Vddiは、内部回路101からの制御信号S101に応答して参照電圧発生回路111が発生する参照電圧Vrefにほぼ等しいレベルに制御される。電源制御部113は、内部回路101から与えられる制御信号S102または半導体集積回路装置100の外部から入出力回路105を介して与えられる制御信号S107に応答して半導体集積回路装置100の動作モードを検知し、これをもとにスイッチングレギュレータ120およびシリーズレギュレータ130の動作/停止を切り換える。

【0017】停止状態での各レギュレータ120と130の出力はハイインピーダンスとなるように制御される。内部回路101が通常の動作状態（以下、アクティブ状態と呼ぶ）のとき、電源制御部113は制御信号S113によりスイッチングレギュレータ120を動作させるように制御を行う。一方、内部回路101がスタンバイ状態（例えば、内部回路113のクロックが停止した状態）のとき、電源制御部113は制御信号S113

によりスイッチングレギュレータ120を停止させると同時に制御信号S114によりシリーズレギュレータ130を動作させるように制御を行う。

【0018】一般に、シリーズレギュレータ130はスイッチングレギュレータ120に比べて最大の電力変換効率は、例えば、図2の出力電流－電力変換効率の特性図のA-A'付近のように劣る。これに対して、スタンバイ状態のように負荷が軽い状態ではシリーズレギュレータ130は、図2のB-B'付近のようにさほど極端な電力変換効率の劣化が起こらない。したがって、スタンバイ状態において、相対的に電力変換効率のよくなるシリーズレギュレータ130を上記変換効率の劣化の大きなスイッチングレギュレータ120の代えて使用することにより、スタンバイ状態での電力消費を効果的に節約できる。

【0019】この実施例では、半導体集積回路装置100の動作モードに応じたスイッチングレギュレータ12

表1

CPUの状態	アクティブ	スタンバイ	シャットダウン
スイッチングレギュレータ シリーズレギュレータ	動作 停止	停止 動作	停止 停止

【0021】この実施例における上記電源制御部によるスイッチングレギュレータ120およびシリーズレギュレータ130の切り換え制御をまとめると表1のようになる。上記表1において、アクティブとスタンバイ状態に加えてシャットダウン状態（内部電源電圧Vddiを遮断した状態、レジスタ等のデータは失われる）を動作モードに含む場合があり得るのでそれも含ませるものである。上記シャットダウン状態では、いずれもレギュレータも動作させる必要がないので両方とも停止させておくことによって、低消費電力化を図ることができる。ただし、電源制御部113や入出力回路105は、上記電源電圧Vccにより動作させることによって、シャットダウン状態からアクティブ又はスタンバイ（スリープ）状態に復帰させることは可能である。参照電圧発生回路111は、その消費電流が微小なら上記電源電圧Vccにより動作状態にしておいてもよいし、上記電源制御部113により必要なら電圧比較回路等のアナログ回路の動作電流を遮断させるものであってもよい。

【0022】図4には、本発明に係る電子装置の他の一実施例の要部ブロック図が示されている。この実施例では、1つのスイッチングレギュレータによって電源回路が構成される。ただし、半導体集積回路装置100とその外部部品で構成されたダイオードでD、インダクタンスL1及びキャパシタC1で構成されたスイッチングレギュレータ用の平滑回路に対して、2種類の出力回路が設けられる。MOSFET123と124はアクティブ

0およびシリーズレギュレータ130の切り換え制御を動作モード信号を利用して電源制御部で行なうようにすることに特徴がある。つまり、CPU等の内部回路101がスタンバイ状態からアクティブ状態に切り換わる時、その動作に先立って十分な負荷電流供給能力を持つスイッチングレギュレータ120を用いることにより、上記スタンバイ状態からアクティブ状態に切り換わる際の大きな負荷電流に対応させることができ、CPU等をスタンバイ状態からアクティブ状態への切り換えを高速に、しかもそのアクティブ状態に切り換わった際のデータ処理等の動作も保証することができる。つまり、前記のような負荷電流をモニタしてスイッチングレギュレータ120を動作させたのでは、CPU等の内部回路101の動作を保証するような電圧及び電流が得られないという問題が生じるものである。

【0020】

用の出力回路であり、MOSFET123'とMOSFET124'はスタンバイ用の出力回路であり、これが前記シリーズレギュレータと同じ動作を行なう。

【0023】上記図2の特性図において、スイッチングレギュレータの電力変換効率が出力電流Ioutの大きな重負荷のときに良いのは、インダクタンスL1やキャパシタC1を用いた平滑回路での電力損失分が出力電力Poutに比べて極めて小さいためであるが、出力電流Ioutが小さな軽負荷のときには、上記平滑回路にパルス信号を供給する出力MOSFET123、124の駆動するために消費される電力が相対的に大きくなるためである。したがって、図3の特性図aに示すように上記出力パルスを形成するMOSFETのサイズを小さくすれば、軽負荷での効率を高くすることができる。このことに着目し、上記のように2種類の出力回路を設けて電源制御部113により切り換えて使用する。

【0024】停止状態での出力回路の出力はハイインピーダンスとなるように制御される。内部回路101が通常の動作状態（以下、アクティブ状態と呼ぶ）のとき、電源制御部113は制御信号S113の一方のレベルにより出力MOSFET123と124を動作させるように制御を行う（このとき、出力MOSFET123'と124'はオフ状態）。一方、内部回路101がスタンバイ状態（例えば、内部回路113のクロックが停止した状態）のとき、電源制御部113は制御信号S113の他方のレベルにより上記出力MOSFET123と12

4をオフ状態にし、同時に出力MOSFET123'と124'を動作させるように制御を行う。これにより、図3の特性aとbの負荷状態に応じた使い分けによって、前記同様に電力消費を効果的に節約できる。電源制御部113による制御は、前記表1と同様に行なうようにすることができる。

【0025】図5には、本発明に係る電子装置の他の一実施例の要部ブロック図が示されている。この実施例でも、前記同様に半導体集積回路装置100外部からチップ間のインタフェースに使用される電源電圧Vccが供給される。電源電圧Vccは入出力回路105に給電される一方で、オンチップのレギュレータ回路110によって内部電源電圧Vddiに降圧されて内部回路（例えばCPU）101に給電される。また、この実施例において、上記レギュレータ回路110は内部電源電圧Vddiに等しい内部電源電圧VddrをRAM（ランダム・アクセス・メモリ）アレイ102にも給電する。

【0026】上記レギュレータ回路110は、スイッチングレギュレータ120とシリアルレギュレータ130を備えている。スイッチングレギュレータ120の出力は内部回路101の電源線に直接接続されている。また、シリアルレギュレータ130の出力はRAMアレイ102の電源線に直接接続されている。スイッチングレギュレータ120の出力とシリアルレギュレータ130の出力との間には、スイッチ140が設けられる。各レギュレータ120と130の出力電源電圧は、内部回路101からの制御信号S101にตอบสนองして参照電圧発生回路111が発生する参照電圧Vrefにほぼ等しいレベルに制御される。

【0027】電源制御部113は、内部回路101から与えられる制御信号S102または半導体集積回路装置100の外部から入出力回路105を介して与えられる制御信号S107にตอบสนองして半導体集積回路装置100の動作モードを検知し、これをもとにスイッチングレギュレータ120とシリアルレギュレータ130の動作/停止、およびスイッチ140のオン/オフを切り換える。停止状態の各レギュレータ120と130の出力はハイインピーダンスとなるように制御される。

【0028】内部回路101がアクティブ状態のとき、電源制御部113は制御信号S113によりスイッチングレギュレータ120を動作させるように制御を行うと同時に、制御信号S115によりスイッチ140をオン

に制御しスイッチングレギュレータ120の出力電源電圧Vddiをスイッチ140を介してRAMアレイ102にも給電する。

【0029】内部回路101がスタンバイ状態のとき、電源制御部113は制御信号S113によりスイッチングレギュレータ120を停止させると同時に、制御信号S114によりシリアルレギュレータ130を動作させ、制御信号S115によりスイッチ140をオンさせるように制御を行う。内部回路101およびRAMアレイ102はシリアルレギュレータ130から給電される。したがって、前記図1の実施例と同様にスタンバイ状態においてはスイッチングレギュレータ120の代わりにシリアルレギュレータ130を使用することにより、スタンバイ状態での電力消費を効果的に節約できる。

【0030】さらに、本実施例では内部回路101の電源を遮断しRAMアレイ102のデータ保持のみを行う動作モード（以下、RAMデータ保持状態と呼ぶ）を備えている。RAMデータ保持状態では、電源制御部113は制御信号S113によりスイッチングレギュレータ120を停止させると同時に制御信号S115によりスイッチ140をオフに制御し、内部回路101の電源を遮断する。一方、電源制御部113は制御信号S114によりシリアルレギュレータ130を動作させるように制御を行う。

【0031】したがって、シリアルレギュレータ130はRAMアレイ102がデータの保持を行うために消費するごくわずかの電力を供給する。RAMデータ保持状態では、内部回路101の電源が遮断されているため、内部回路101のリーク電流を完全にゼロにすることができ、スタンバイ状態よりもさらに電力消費を節約することができる。ただし、RAMデータ保持状態では内部回路101内のレジスタ等へ書き込まれていた情報は消えてしまうので、必要ならCPUシャットダウン/RAMデータ保持前にレジスタ等の情報をRAMに転送すればよい。シャットダウン状態では、スイッチングレギュレータ120とシリアルレギュレータ130は両方とも停止させる。本実施例の動作モードに対応したスイッチングレギュレータ120、シリアルレギュレータ130、およびスイッチ140の切り換え制御を次の表2にまとめた。

【0032】

表2

CPU/RAM 状態	アクティブ	スタンバイ	CPUシャットダウン/RAM保持	シャットダウン
スイッチングレギュレータ	動作	停止	停止	停止
シリーズレギュレータ	停止	動作	動作	停止
スイッチ	オン	オン	オフ	オン

【0033】図6には、本発明に係る電子装置の他の一実施例の要部ブロック図が示されている。この実施例でも、前記同様に、電源電圧Vccは入出力回路105に給電される一方で、オンチップのレギュレータ回路110によって電源電圧Vddiに降圧されて、例えばCPU等の内部回路101に給電される。また、レギュレータ回路110は、上記内部電源電圧Vddiに等しい内部電源電圧VddrをRAMアレイ102にも給電する。

【0034】上記レギュレータ回路710は、スイッチングレギュレータ120、第1シリーズレギュレータ130、および第2シリーズレギュレータ150を備えている。スイッチングレギュレータ120および第1シリーズレギュレータ130の出力は内部回路101の電源線に直接接続されている。また、第2シリーズレギュレータ150の出力はRAMアレイ102の電源線に直接接続されている。スイッチングレギュレータ120および第1シリーズレギュレータ130の出力と第2シリーズレギュレータ150の出力との間には、スイッチ140が設けられている。

【0035】上記各レギュレータ120、130及び150の出力電源電圧は、内部回路101からの制御信号S101に応答して参照電圧発生回路111が発生する参照電圧Vrefにほぼ等しいレベルに制御される。電源制御部113は、内部回路101から与えられる制御信号S102または半導体集積回路装置100の外部から入出力回路105を介して与えられる制御信号S107に応答して半導体集積回路装置100の動作モードを検知し、これをもとにスイッチングレギュレータ120、第1シリーズレギュレータ130、および第2シリーズレギュレータ150の動作/停止、さらにスイッチ140のオン/オフを切り換える。停止状態での各レギュレータ120、710及び150の出力はハイインピーダンスとなるように制御される。

【0036】内部回路101がアクティブ状態のとき、電源制御部113は制御信号S113によりスイッチングレギュレータ120を動作させるように制御を行うと同時に、制御信号S115によりスイッチ140をオン状態に制御しスイッチングレギュレータ120の出力電源電圧Vddiをスイッチ140を介してRAMアレイ102にも給電する。

【0037】内部回路101がスタンバイ状態のとき、

電源制御部113は制御信号S113によりスイッチングレギュレータ120を停止させると同時に、制御信号S114により第1シリーズレギュレータ130を動作させ、制御信号S115によりスイッチ140をオンさせるように制御を行う。内部回路101およびRAMアレイ102は第1シリーズレギュレータ130から給電される。したがって、前記図5の実施例と同様にスタンバイ状態においてはスイッチングレギュレータ120の代りに第1シリーズレギュレータ130を使用することにより、スタンバイ状態での電力消費を効果的に節約できる。

【0038】本実施例では、前記図5の実施例と同様に動作モードの一つとしてRAMデータ保持状態を備えている。RAMデータ保持状態では、電源制御部113は制御信号S113によりスイッチングレギュレータ120を停止させ制御信号S114により第1シリーズレギュレータ130を停止させると同時に、制御信号S115によりスイッチ140をオフ状態に制御し、内部回路101の電源を遮断する。一方、電源制御部113は制御信号S116により第2シリーズレギュレータ150を動作させるように制御を行う。

【0039】したがって、第2シリーズレギュレータ150はRAMアレイ102がデータの保持を行うために消費するごくわずかの電力を供給する。RAMデータ保持状態では、内部回路101の電源が遮断されているため、内部回路101のリーク電流を完全にゼロにすることができ、スタンバイ状態よりもさらに電力消費を節約することができる。ただし、RAMデータ保持状態では内部回路101内のレジスタ等へ書き込まれていた情報は消えてしまう。このレジスタ等のデータが必要なら、上記動作モードとなる前にRAMに転送すればよい。

【0040】本実施例では、RAMデータ保持状態時にのみ使用する専用の第2シリーズレギュレータ150を備えている。したがって、第2シリーズレギュレータ150はRAMデータ保持に必要な最小限の電流のみ供給できるような最適化設計が可能となり、第2シリーズレギュレータ150自身で消費する電力はスタンバイ状態で使用する第1シリーズレギュレータ130よりも小さくできるので、図5の実施例の場合よりもRAMデータ保持状態での電力消費をさらに節約することができる。

【0041】シャットダウン状態では、スイッチングレギュレータ120、第1シリーズレギュレータ130、

第2シリーズレギュレータ150はすべて停止させる。
本実施例の動作モードに対応したスイッチングレギュレータ120、第1シリーズレギュレータ130、第2シリーズレギュレータ150の切り換え制御を、次の表3にまとめた。

表3

CPU/RAM 状態	7キープ	スタンバイ	CPUシャットダウン/RAM保持	シャットダウン
スイッチングレギュレータ	動作	停止	停止	停止
第1シリーズレギュレータ	停止	動作	停止	停止
第2シリーズレギュレータ	停止	停止	動作	停止
スイッチ	オン	オン	オフ	オン

【0043】図7には、本発明に係る電子装置の他の一実施例の要部ブロック図が示されている。この実施例でも、前記同様に、半導体集積回路装置100の外部からチップ間のインタフェースに使用される電源電圧Vccが供給される。電源電圧Vccは入出力回路105に給電される一方で、オンチップのレギュレータ回路110によって内部電源電圧Vddiに降圧されて、例えばCPU等の内部回路101に給電される。また、レギュレータ回路110は内部電源電圧Vddiに等しい内部電源電圧Vddaを、外部から供給されるクロック信号に同期したクロック信号等を生成するPLL（フェーズ・ロックド・ループ）回路等からなるアナログ回路103にも給電する。

【0044】レギュレータ回路110は、前記同様にスイッチングレギュレータ120、第1シリーズレギュレータ130、および第2シリーズレギュレータ150を備えている。スイッチングレギュレータ120および第1シリーズレギュレータ130の出力は内部回路101の電源線に直接接続されている。また、第2シリーズレギュレータ150の出力はアナログ回路103の電源線に直接接続されている。各レギュレータ120、130及び150の出力電源電圧は、内部回路101からの制御信号S101にตอบสนองして参照電圧発生回路111が発生する参照電圧Vrefにほぼ等しいレベルに制御される。

【0045】電源制御部113は、内部回路101から与えられる制御信号S102または半導体集積回路装置100の外部から入出力回路105を介して与えられる制御信号S107にตอบสนองして半導体集積回路装置100の動作モードを検知し、これをもとにスイッチングレギュレータ120、第1シリーズレギュレータ130、および第2シリーズレギュレータ150の動作/停止を切り換える。停止状態での各レギュレータ120、130

シリーズレギュレータ150、およびスイッチ140の切り換え制御を、次の表3にまとめた。

【0042】

及び150の出力はハイインピーダンスとなるように制御される。

【0046】内部回路101がアクティブ状態のとき、電源制御部113は制御信号S113によりスイッチングレギュレータ120を動作させるように制御を行う。内部回路101がスタンバイ状態のとき、電源制御部113は制御信号S113によりスイッチングレギュレータ120を停止させると同時に、制御信号S114により第1シリーズレギュレータ130を動作させる。このとき内部回路101は第1シリーズレギュレータ130から給電される。したがって、図6の実施例と同様にスタンバイ状態においてはスイッチングレギュレータ120の代りに第1シリーズレギュレータ130を使用することにより、スタンバイ状態での電力消費を効果的に節約できる。

【0047】本実施例では、アクティブ状態、スタンバイ状態のいずれの状態においても第2シリーズレギュレータ150を動作させるように電源制御部113は制御信号S116により制御を行う。一般にスイッチングレギュレータはスイッチング雑音が発生するため、アナログ回路103の動作に悪影響を及ぼす場合がありうる。本実施例では、アナログ回路103は常に第2シリーズレギュレータ150から給電されるので、スイッチングレギュレータからのスイッチング雑音による悪影響を回避することができる。

【0048】シャットダウン状態では、スイッチングレギュレータ120、第1シリーズレギュレータ130、第2シリーズレギュレータ150はすべて停止させる。本実施例の動作モードに対応したスイッチングレギュレータ120、第1シリーズレギュレータ130、および第2シリーズレギュレータ150の切り換え制御を次の表4にまとめた。

【0049】

表4

CPUの状態	アクティブ	スタンバイ	シャットダウン
スイッチングレギュレータ	動作	停止	停止
第1シリーズレギュレータ	停止	動作	停止
第2シリーズレギュレータ	動作	動作	停止

【0050】図8には、本発明に係る電子装置の他の一実施例の要部ブロック図が示されている。この実施例でも、前記同様に、半導体集積回路装置100の外部からチップ間のインタフェースに使用される電源電圧Vccが供給される。電源電圧Vccは入出力回路105に給電される一方で、オンチップのレギュレータ回路110によって内部電源電圧Vddiに降圧されて、例えばCPU等の内部回路101に給電される。また、スイッチングレギュレータ120または第1シリーズレギュレータ130からの出力電源電圧Vddiは、第3シリーズレギュレータ160によりさらに内部電源電圧Vddlに降圧される。

【0051】第3シリーズレギュレータ160の出力は部分回路104の電源線に直接接続されている。スイッチングレギュレータ120および第1シリーズレギュレータ130の出力電源電圧Vddiは、内部回路101からの制御信号S101にตอบสนองして参照電圧発生回路111が発生する参照電圧Vrefにほぼ等しいレベルに制御される。また、第3シリーズレギュレータ160の出力電源電圧Vddlは、内部回路101からの制御信号S101にตอบสนองして参照電圧発生回路111が発生する上記電圧Vrefより低い参照電圧VrefLにほぼ

【0052】電源制御部113は、内部回路101から与えられる制御信号S102または半導体集積回路装置100の外部から入出力回路105を介して与えられる制御信号S107にตอบสนองして半導体集積回路装置100の動作モードを検知し、これをもとにスイッチングレギュレータ120、第1シリーズレギュレータ130、および第3シリーズレギュレータ150の動作/停止を切り換える。前記同様に停止状態の各レギュレータの出力はハイインピーダンスとなるように制御される。

表5

CPUの状態	アクティブ	スタンバイ	シャットダウン
スイッチングレギュレータ	動作	停止	停止
第1シリーズレギュレータ	停止	動作	停止
第3シリーズレギュレータ	動作	動作	停止

【0057】図9及び図10には、本願に他の発明を説明するための説明図が示されている。スイッチングレギ

【0053】内部回路101がアクティブ状態のとき、電源制御部113は制御信号S113によりスイッチングレギュレータ120を動作させるように制御を行う。内部回路101がスタンバイ状態のとき、電源制御部113は制御信号S113によりスイッチングレギュレータ120を停止させると同時に、制御信号S114により第1シリーズレギュレータ130を動作させる。このとき内部回路101は第1シリーズレギュレータ130から給電される。したがって、前記実施例と同様にスタンバイ状態においてはスイッチングレギュレータ120の代りに第1シリーズレギュレータ130を使用することにより、スタンバイ状態での電力消費を効果的に節約できる。

【0054】本実施例では、アクティブ状態、スタンバイ状態のいずれの状態においても第3シリーズレギュレータ160を動作させるように電源制御部113は制御信号S116により制御を行う。特に、部分回路104のタイミング制約が緩く、部分回路104の電源電圧を内部回路101の電源電圧より低い電圧に下げても動作上の支障をきたさない場合には、本実施例のようなレギュレータの構成により部分回路104の電源電圧Vddlを内部回路101の電源電圧Vddiよりも低電圧化することによりさらに効果的に電力消費を節約することができる。

【0055】シャットダウン状態では、スイッチングレギュレータ120、第1シリーズレギュレータ130、第3シリーズレギュレータ160はすべて停止させる。本実施例の動作モードに対応したスイッチングレギュレータ120、第1シリーズレギュレータ130、および第3シリーズレギュレータ160の切り換え制御は、次の表5にまとめた。

【0056】

レギュレータカとして、図1の実施例のように半導体集積回路装置に形成された出力回路と、外部に設けられた平滑

回路で構成した場合、出力電流 I_{out} とほぼ同等の電流が図中の電流経路 I_{vx} 、 I_{vcc} 、 I_{vss} に流れる。これらの各電流経路を形成するために3種類のピン (V_x ピン、 V_{cc} ピン、 V_{ss} ピン) が必要となる。

【0058】一般に1本のピンに流せる電流の大きさに上限がある(通常は1本あたり約0.1A程度)ので、出力電流 I_{out} がこの上限を上回った場合には出力電流 I_{out} に比例して図10のように上記3種類のピンの本数を増やさざるをえない。しかしながら、ピン数の増加はチップサイズを増大させ、コストの上昇を引き起すことになるので、許容できるピン数(したがってそれにより制限される最大出力電流)には実用上の限界がある。つまり、図10に示すように、最大出力電流が0.2A(アンペア)ならば上記3種類の合計ピン数はたかだか6本程度でよいが、0.8Aの最大出力電流を確保するためには24本ものピン数が必要となってしまう。

【0059】図11には、本発明に係る電子装置の更に他の一実施例の要部ブロック図が示されている。この実施例の電子装置は、半導体集積回路装置100とその外部部品で構成されたパワーMOSFET PM1、PM2 からなるパルス出力回路と、ダイオードD1、インダクタンス(コイル)L1及びキャパシタ(コンデンサ)C1で構成された平滑回路から構成される。なお、電源電圧 V_{cc} を形成する電池等は省略されている。

【0060】半導体集積回路装置100の外部からはチップ間のインタフェースに使用される電源電圧 V_{cc} が供給される。電源電圧 V_{cc} は入出力回路105に給電される一方で、オンチップのレギュレータ回路110によって電源電圧 V_{ddi} に降圧されて内部回路101に給電される。レギュレータ回路110は、スイッチングレギュレータ120で構成される。レギュレータの出力電源電圧 V_{ddi} は、内部回路101からの制御信号 S_{101} に応答して参照電圧発生回路111が発生する参照電圧 V_{ref} にほぼ等しいレベルに制御される。

【0061】スイッチングレギュレータ120は、オフチップのロウパスフィルタ部(容量C1、インダクタンスL1、ダイオードD1)、オフチップのパワーMOSFETを使用した出力回路(PM1:Pチャンネル型、PM2:Nチャンネル型)、および出力回路のMOSFETの導通/非導通を制御するオンチップのドライバ制御部121により構成される。

【0062】この実施例では、出力回路をオフチップの出力MOSFET PM1とPM2で構成しているため、スイッチングレギュレータ120に使用するピンの本数を増やすことなく大きな最大供給電流を確保することが可能なスイッチングレギュレータを実現できる。つまり、半導体集積回路装置100は、上記ドライバ制御回路121で形成された制御信号を、上記出力回路のPチャンネル型MOSFET PM1とNチャンネル型MOS

FET PM2のゲートに供給させる外部端子2本のみでよい。この結果、電子装置が必要とする最大電流が大きくなっても、上記外部端子数を増加させる必要がなく、ピン数の増加によるチップサイズの増大や、それによるコストの上昇が抑えられ、電子装置の小型化、低コスト化が可能になる。

【0063】一般に電子装置では、その部品点数の削減のために電子部品は可能な限り半導体集積回路装置に内蔵させるという方向に向かっている。しかしながら、本願発明者においては、上記のようなスイッチングレギュレータにおいては、たかだか2個のパワーMOSFETを半導体集積回路装置に形成したために、前記のようにピン数増大させてしまうという大きな弊害の生じること気が付いたのである。

【0064】一方、スイッチングレギュレータとしては、パワーMOSFETとその制御を行なうドライバ制御回路とが1チップ化されたものがある。しかしながら、このような半導体集積回路装置は、その価格が比較的高く、使い勝手が悪いという問題がある。つまり、この実施例のように、上記ドライバ制御回路212を半導体集積回路装置100の内部に搭載し、出力MOSFETや、平滑回路を構成する素子を外部部品とすることにより大幅な低コスト化が可能になることに加えて、単品のMOSFETは、そのコストが大幅に低く、しかも必要な最大出力電流に応じたものを持ちいれればよいから汎用性の点でも有利となる。

【0065】図12には、本発明に係る電子装置の更に他の一実施例の要部ブロック図が示されている。この実施例の電子装置では、図11の実施例から1つの出力トランジスタ(PM2:Nチャンネル型)を省略したものである。図11の実施例と比べてスイッチングレギュレータ120の電力変換効率は劣るが、オフチップの部品点数が1つ少ないのでコスト的には有利である。つまり、前記図9を用いて説明したような電流 I_{vss} は、ダイオードD1により形成することができる。この場合、ダイオードD1により順方向電圧 V_F だけ電圧ロスが生じるので、上記電力変換効率が若干劣るが低コスト化を必要とする電子装置では有利となる。

【0066】図13には、本発明に係る電子装置の更に他の一実施例の要部ブロック図が示されている。この実施例では、図11の実施例の構成に対してオフチップの抵抗R1とオンチップの保護回路125を追加し、出力に過大な電流が流れるのを防止する保護機能を付加したものである。つまり、一定値以上の大きさの電流が出力MOSFET PM1に流れると、抵抗R1の両端の電位差が一定値を超えたことを保護回路125に含まれる電位検出回路が検出する。保護回路125は制御信号 S_{125} によりドライバ制御回路121を制御し、一時的に出力MOSFET PM1を非導通とする。かくして、本実施例ではスイッチングレギュレータ120の出力に過

大な電流が流れるのを防止することができ、スイッチングレギュレータ 120 の信頼性を向上することができる。

【0067】図 14 には、本発明に係る電子装置の更なる他の一実施例の要部ブロック図が示されている。この実施例では、前記図 11 の実施例のように降圧電源回路に使用するピン数を増やすことなく大きな最大出力電流を確保しつつ、前記図 1 の実施例のように内部回路がスタンバイ状態などの軽負荷状態であっても降圧電源回路の電力変換効率をさほど低下させないようにするものである。つまり、図 1 の実施例のスイッチングレギュレータ 120 の出力回路を構成する MOSFET 123 と 124 を、オフチップの外部部品で構成するものである。

【0068】これにより、上記降圧電源回路に使用するピン数を増やすことなく大きな最大出力電流を確保しつつ、内部回路がスタンバイ状態などの軽負荷状態であっても降圧電源回路の電力変換効率をさほど低下させないようにすることができるものとなる。これにより、電子装置の小型化と低消費電力化が可能になる。

【0069】図 15 には、本発明に係る電子装置の更なる他の一実施例の要部ブロック図が示されている。この実施例では、前記図 11 の実施例のように降圧電源回路に使用するピン数を増やすことなく大きな最大出力電流を確保しつつ、前記図 4 の実施例のように内部回路がスタンバイ状態などの軽負荷状態であっても降圧電源回路の電力変換効率をさほど低下させないようにするものである。つまり、図 4 の実施例のスイッチングレギュレータ 120 の出力回路を構成する MOSFET 123 と 124 を、オフチップの外部部品で構成するものである。

【0070】これにより、上記降圧電源回路に使用するピン数を増やすことなく大きな最大出力電流を確保しつつ、スイッチングレギュレータ 120 のみで内部回路がスタンバイ状態などの軽負荷状態であっても降圧電源回路の電力変換効率をさほど低下させないようにすることができるものとなる。これにより、電子装置の小型化と低消費電力化が可能になる。

【0071】上記のような降圧電源回路に使用するピン数を増やすことなく大きな最大出力電流を確保するためのスイッチングレギュレータの構成は、前記図 5、図 6、図 7、図 8 にも同様に適用することができる。つまり、これらの各実施例において、スイッチングレギュレータ 120 の出力 MOSFET 123 と 124 をオフチップの外部部品で構成することにより、内部回路 101 等がスタンバイ状態などの軽負荷状態のときの降圧電源回路の電力変換効率を低下させずに、低消費電力化を図ることができる。

【0072】図 16 には、この発明が適用される移動通信機器の一実施例の全体ブロック図が示されている。上記移動通信機器は最も代表的な例が前記のような携帯電話器である。アンテナで受信された受信信号は、受信フ

ロントエンドにおいて増幅され、ミキサにより中間周波に変換され、中間信号処理回路 IF-IC を通して音声処理回路に伝えられる。上記受信信号に周期的に含まれる利得制御信号は、特に制限されないが、マイクロプロセッサ CPU においてデコードされて、ここで電力増幅器（電力増幅器モジュール）に供給される入力制御電圧が形成される。

【0073】電力増幅器では、上記入力制御電圧に従って利得制御が行なわれて、送信出力信号を形成する。この送信電力は、パワーアンプ等を介してその一部が上記マイクロプロセッサ CPU に帰還されて、上記指定させた電力制御が行なわれるようにするものである。周波数シンセサイザは、基準発振回路 TCXO と電圧制御発振回路 VCO 及び PLL ループによって受信周波数に対応した発振信号を形成し、一方において受信フロントエンドのミキサに伝えられる。上記発振信号は、他方において変調器に供給される。上記音声処理回路では、受信信号はレシーバを駆動して音声信号が出力される。送信音声は、マイクロホンで電気信号に変換され、音声処理回路と変復調器を通して変調器に伝えられる。

【0074】このような移動通信機器では、小型化のために CPU を中心にして可能な範囲で 1 チップの半導体集積回路装置で形成される。例えば、メモリは前記 RAM アレイとされ、アナログ回路は周波数シンセサイザとされる。このような電子装置において、全体の電源電圧 V_{cc} を約 3.3V のような電圧とし、CPU 等を含んだ半導体集積回路装置のように動作電圧が低くてよいものは、前記のような降圧レギュレータを用いることによって低消費電力化や、低コスト化を図ることができるものとなる。

【0075】上記の実施例から得られる作用効果は、下記の通りである。

(1) 第 1 の動作電流を消費する第 1 の動作モード及び上記第 1 の動作電流よりも小さな第 2 の動作電流を消費する第 2 の動作モードとを備えた内部回路に対して、入力電源電圧から規定出力電源電圧に降圧し、上記内部回路の上記第 1 の動作電流に対応した電流供給能力を持つ第 1 の降圧型レギュレータ及び上記第 2 の動作電流に対応した電流供給能力を持つ第 2 の降圧型レギュレータを組み合わせ、電源制御部により上記内部回路における第 1 の動作モードを指示する第 1 の制御信号にตอบสนองして上記第 1 の降圧型レギュレータを動作させ、上記第 2 の動作モードを指示する第 2 の制御信号にตอบสนองして上記第 2 の降圧型レギュレータを動作させるとともに、上記内部回路及び電源制御部を 1 つの半導体集積回路装置に設けることによって、低消費電力化と上記動作モードに対応した電源切り換えを行なうことができるという効果が得られる。

【0076】(2) 上記に加えて、上記第 1 の降圧型レギュレータを上記半導体集積回路装置に形成されたパ

ルス出力回路と、上記半導体集積回路装置の外部に設けられたインダクタンスとキャパシタからなる平滑回路を含むスイッチングレギュレータで構成し、上記第2の降圧型レギュレータを上記半導体集積回路装置に形成された第1のシリーズレギュレータで構成することにより、いっそうの低消費電力化を図ることができるという効果が得られる。

【0077】(3) 上記に加えて、上記内部回路を電源電圧線がスイッチにより分離された信号処理部と記憶部で構成し、上記内部回路の第2の動作モードでは、上記スイッチをオン状態にして上記第1のシリーズレギュレータから上記信号処理部と記憶部に電流を供給する動作と、上記スイッチをオフ状態にして上記記憶部のみに電流を供給する動作とを含むことによって、必要なデータを保持しつつ上記信号処理部の電流供給を遮断することによってよりいっそうの低消費電力化を図ることができるという効果が得られる。

【0078】(4) 上記に加えて、上記内部回路を、電源電圧線がスイッチにより分離された信号処理部と記憶部で構成し、上記入力電源電圧から上記規定出力電源電圧にする第2のシリーズレギュレータを更に設け、上記内部回路の第2の動作モードは、上記スイッチをオン状態にして上記第1のシリーズレギュレータから上記信号処理部と記憶部に電流を供給するものと、上記第1のシリーズレギュレータが動作を停止し、かつ上記スイッチをオフ状態にして上記第2のシリーズレギュレータが動作を行なって上記記憶部のみに電流を供給する動作とすることにより、第2のシリーズレギュレータによるデータ保持のための記憶部の給電を必要最小にできるという効果が得られる。

【0079】(5) 上記に加えて、上記入力電源電圧から所定の出力電源電圧にする第2のシリーズレギュレータと、かかる第2のシリーズレギュレータによって動作電圧が与えられるアナログ回路とを更に設け、上記第2のシリーズレギュレータは、上記のスイッチングレギュレータとシリーズレギュレータとが動作を停止させられるときに同時に動作を停止させるようにすることにより、低消費電力化を図りつつ、アナログ回路での電源ノイズを低減できるという効果が得られる。

【0080】(6) 上記に加えて、上記入力電源電圧又は上記規定出力電圧を受け、上記規定出力電圧以下の低電圧を出力する第3のシリーズレギュレータと、かかる第3のシリーズレギュレータによって動作電圧が与えられる部分回路とを更に設け、上記第3のシリーズレギュレータを上記スイッチングレギュレータとシリーズレギュレータとが動作を停止させられるときに同時に動作を停止させることによって、いっそうの低消費電力化を図ることができるという効果が得られる。

【0081】(7) 上記に加えて、上記第1降圧型レギュレータを上記半導体集積回路装置に形成された上記

第1の動作電流に対応した大きなサイズの出力量MOSFETで形成されたパルス出力回路と、上記半導体集積回路装置の外部に設けられたインダクタンスとキャパシタからなる平滑回路を含む第1のスイッチングレギュレータで構成し、上記第2の降圧型レギュレータを上記半導体集積回路装置に形成された上記第2の動作電流に対応した小さなサイズの出力量MOSFETで形成されたパルス出力回路と、上記平滑回路を含む第2のスイッチングレギュレータで構成することにより、回路の簡素化を図りつつ低消費電力化を図ることができるという効果が得られる。

【0082】(8) 上記に加えて、上記内部回路を内蔵されたプログラムによって信号処理を行なうマイクロコンピュータ機能を持つデータ処理回路とし、上記プログラムに従って上記第1動作モードと第2動作モードの切り換えと、上記第1と第2の制御信号とを形成することにより、最適な電源切り換えを安定的に行なうことができるという効果が得られる。

【0083】(9) 上記に加えて、上記入力電源電圧を電池により形成することにより、電池寿命が長くでき電子装置の使い勝手を良くすることができるという効果が得られる。

【0084】(10) 入力電源電圧から規定出力電源電圧に降圧するスイッチングレギュレータと、前記のスイッチングレギュレータからの給電により動作する内部回路を備えた半導体集積回路装置とを含む電子装置において、上記スイッチングレギュレータを、上記半導体集積回路装置に形成されたドライバ制御回路と、上記半導体集積回路装置の外部に設けられ、上記ドライバ制御回路で形成された駆動信号により出力パルス信号を形成する出力回路と、上記出力パルス信号を平滑するインダクタンスとキャパシタとで構成することにより、最大電源電流に無関係に半導体集積回路装置のピン数を少なくでき、小型化及び低コスト化に加えてレギュレータ回路の汎用性を高くすることができるという効果が得られる。

【0085】(11) 上記に加えて、上記出力回路は、上記駆動信号がゲートに供給され、ソースに上記入力電源電圧が供給されたスイッチMOSFETと、上記スイッチMOSFETと回路の接地電位との間に設けられた逆流防止ダイオードで構成することにより、部品点数を削減することができるという効果が得られる。

【0086】(12) 上記に加えて、上記出力回路の電流検出抵抗と、かかる検出抵抗に発生した電圧が設定された許容値を超えたときに、上記出力回路の動作を制限する保護回路を設けることによって、信頼性を確保することができるという効果が得られる。

【0087】(13) 上記に加えて、上記内部回路を第1の動作電流を消費する第1の動作モード及び上記第1の動作電流よりも小さな第2の動作電流を消費する第2の動作モードを持つものとし、上記スイッチングレギ

レギュレータを上記内部回路の上記第1の動作電流に対応した電流供給能力を持つものとし、上記半導体集積回路装置に内蔵され、第2の動作電流に対応した電流供給能力を持つ降圧型レギュレータと、上記内部回路における第1の動作モードを指示する第1の制御信号にตอบสนองして上記スイッチングレギュレータを動作させ、上記第2の動作モードを指示する第2の制御信号にตอบสนองして上記降圧型レギュレータを動作させる電源制御部を更に加えることにより、低消費電力化を図ることができるという効果が得られる。

【0088】(14) 上記に加えて、上記降圧型レギュレータを、シリーズレギュレータとすることにより、第2の動作電流に適応した低消費電力とすることができるという効果が得られる。

【0089】(15) 上記に加えて、上記降圧型レギュレータを上記半導体集積回路装置に形成された上記第2の動作電流に対応した小さなサイズの出力MOSFETで形成されたパルス出力回路と、上記インダクタンスとキャパシタを用いたスイッチングレギュレータとすることにより、回路の簡素化を図りつつ第2の動作電流に

適応した低消費電力とすることができるという効果が得られる。

【0090】(16) 上記に加えて、上記内部回路を内蔵されたプログラムによって信号処理を行なうマイクロコンピュータ機能を持つデータ処理回路とし、上記プログラムに従って上記第1動作モードと第2動作モードの切り換えと、上記第1と第2の制御信号とを形成することにより、最適な電源切り換えを安定的に行なうことができるという効果が得られる。

【0091】(17) 上記に加えて、上記入力電源電圧を電池により形成することにより、電池寿命が長くでき電子装置の使い勝手を良くすることができるという効果が得られる。

【0092】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、電源レギュレータは、前記の実施例のように入力された電源電圧に対して降圧電圧された内部電圧を形成するもの他、半導体集積回路の外部端子から供給される電源電圧とほぼ同等の電圧であって、外部電源電圧の変動の影響を排除するために安定化された内部電圧を形成するものや外部電圧に対して昇圧電圧された電圧を形成するものであってもよい。上記のような昇圧電圧を形成する場合、チャージポンプ回路等のような昇圧回路で形成された電圧を基に前記のような電源レギュレータを用いることにより、チャージポンプ動作に対応した電圧変動や負荷電流に対して安定化された内部電圧を形成することができる。

【0093】前記説明した図1の実施例において、前記

図13のような保護回路を設けるものであってもよい。半導体集積回路装置は、CPUやRAMアレイ、アナログ回路、部分回路及び入出力回路の他に、データ処理あるいは信号処理のために必要とされる他の回路が組み合わされるものであってもよい。電子装置と半導体集積回路及び情報処理システムは、前記のような移動通信機器の他、半導体集積回路装置の内部回路が降圧された電圧で動作するものを含むものであれば何でもよい。電子装置の電源は、電池の他に商用電源を用いるものあるいは電池と商用電源とを併用するもの等何であってよい。この発明は、内部回路が降圧電圧で動作する半導体集積回路を備えた電子装置と半導体集積回路及び情報処理システムに広く利用することができる。

【0094】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、第1の動作電流を消費する第1の動作モード及び上記第1の動作電流よりも小さな第2の動作電流を消費する第2の動作モードとを備えた内部回路に対して、入力電源電圧から規定出力電源電圧に降圧し、上記内部回路の上記第1の動作電流に対応した電流供給能力を持つ第1の降圧型レギュレータ及び上記第2の動作電流に対応した電流供給能力を持つ第2の降圧型レギュレータを組み合わせ、電源制御部により上記内部回路における第1の動作モードを指示する第1の制御信号にตอบสนองして上記第1の降圧型レギュレータを動作させ、上記第2の動作モードを指示する第2の制御信号にตอบสนองして上記第2の降圧型レギュレータを動作させるとともに、上記内部回路及び電源制御部を1つの半導体集積回路装置に設けることによって、低消費電力化と上記動作モードに対応した電源切り換えを行なうことができる。

【0095】入力電源電圧から規定出力電源電圧に降圧するスイッチングレギュレータと、前記のスイッチングレギュレータからの給電により動作する内部回路を備えた半導体集積回路装置とを含む電子装置において、上記スイッチングレギュレータを、上記半導体集積回路装置に形成されたドライバ制御回路と、上記半導体集積回路装置の外部に設けられ、上記ドライバ制御回路で形成された駆動信号により出力パルス信号を形成する出力回路と、上記出力パルス信号を平滑するインダクタンスとキャパシタとで構成することにより、最大電源電流に無関係に半導体集積回路装置のピン数を少なくでき、小型化及び低コスト化に加えてレギュレータ回路の汎用性を高くすることができる。

【図面の簡単な説明】

【図1】本発明に係る電子装置の一実施例を示す要部ブロック図である。

【図2】この発明を説明するための降圧回路における出力電流－電力変換効率の特性図である。

【図3】この発明を説明するための降圧回路における出力電流－電力変換効率の特性図である。

【図4】本発明に係る電子装置の他の一実施例を示す要部ブロック図である。

【図5】本発明に係る電子装置の他の一実施例を示す要部ブロック図である。

【図6】本発明に係る電子装置の他の一実施例を示す要部ブロック図である。

【図7】本発明に係る電子装置の他の一実施例を示す要部ブロック図である。

【図8】本発明に係る電子装置の他の一実施例を示す要部ブロック図である。

【図9】本願に他の発明を説明するための説明図である。

【図10】本願に他の発明を説明するための説明図である。

【図11】本発明に係る電子装置の更に他の一実施例を示す要部ブロック図である。

【図12】本発明に係る電子装置の更に他の一実施例を示す要部ブロック図である。

【図13】本発明に係る電子装置の更に他の一実施例を示す要部ブロック図である。

【図14】本発明に係る電子装置の更に他の一実施例を示す要部ブロック図である。

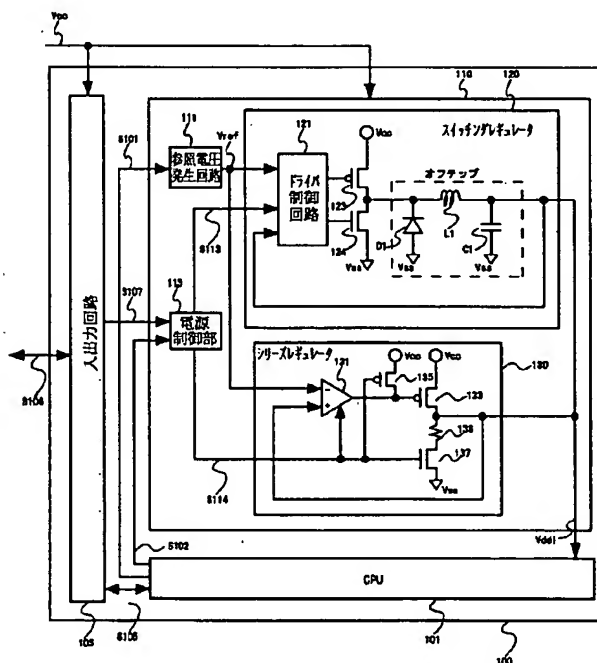
【図15】本発明に係る電子装置の更に他の一実施例を示す要部ブロック図である。

【図16】この発明が適用される移动通信機器の一実施例を示す全体ブロック図である。

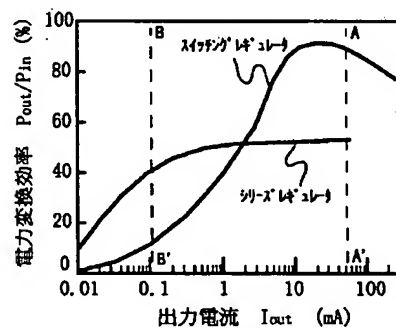
【符号の説明】

- 100…半導体集積回路装置、101…内部回路（CPU）、102…RAMアレイ、103…アナログ回路、104…部分回路、105…入出力回路、110…レギュレータ回路、111…参照電圧発生回路、113…電源制御部、120…スイッチングレギュレータ、121…ドライバ制御回路、123、124…出力MOSFET、125…保護回路、130…第1シリーズレギュレータ、131…電圧比較回路、140…スイッチ、150…第2シリーズレギュレータ、151…電圧比較回路、160…第3シリーズレギュレータ、161…電圧比較回路。

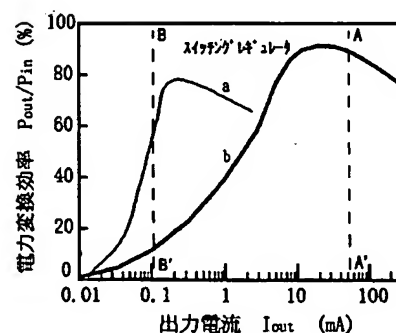
【図1】



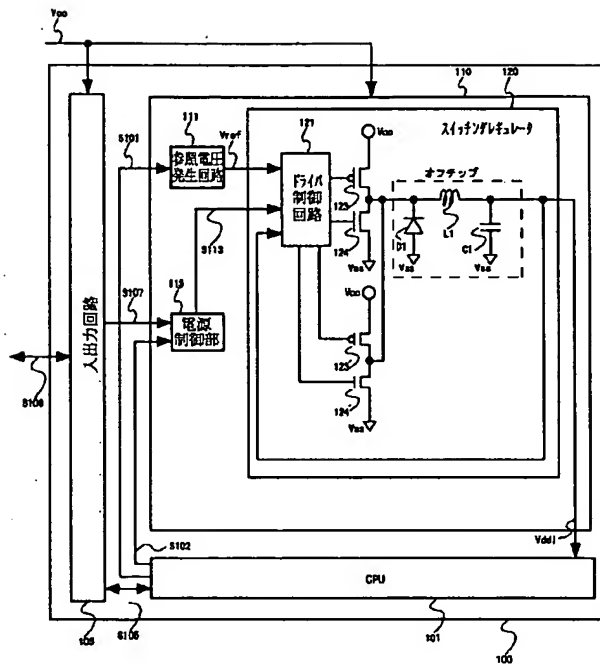
【図2】



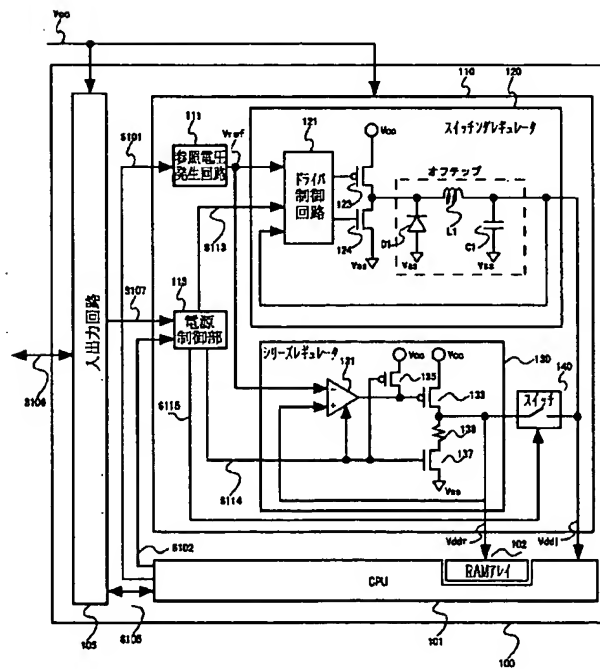
【図3】



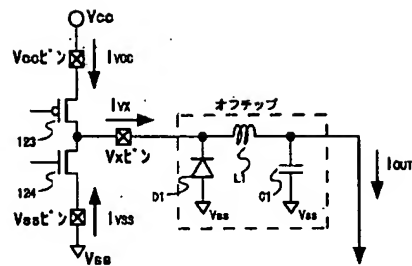
【図4】



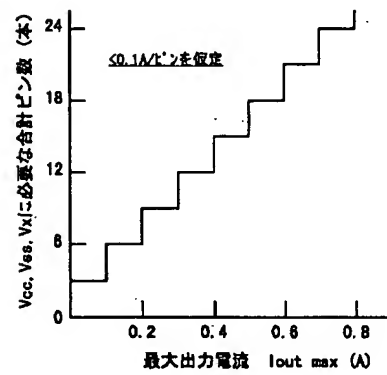
【図5】



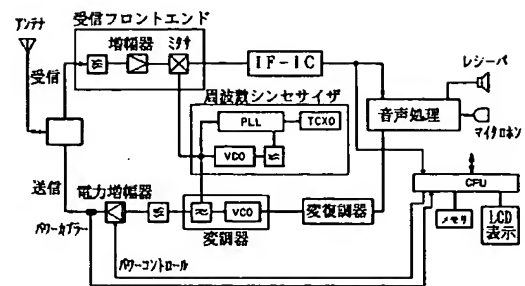
【図9】



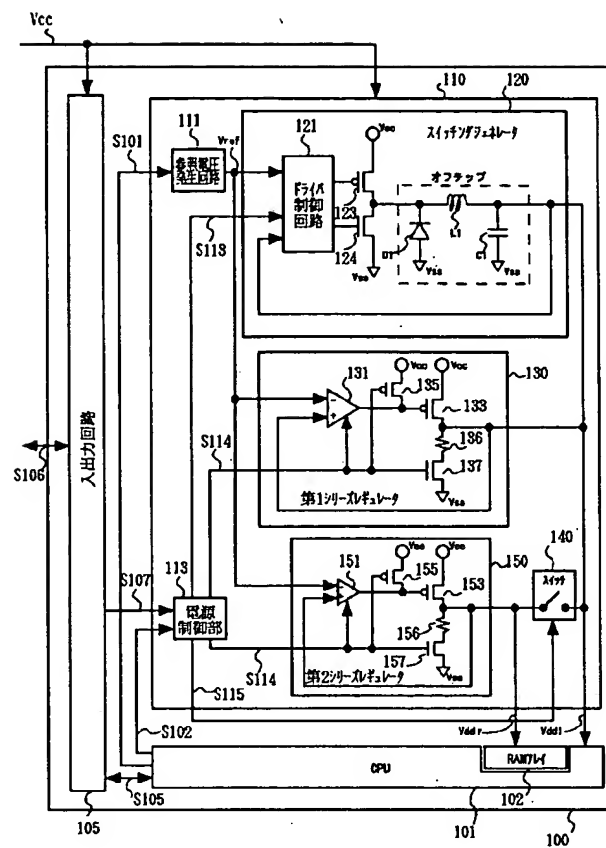
【図10】



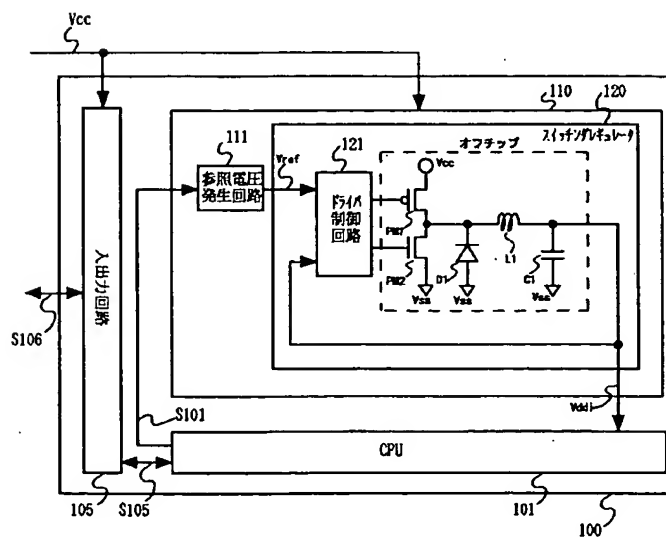
【図16】



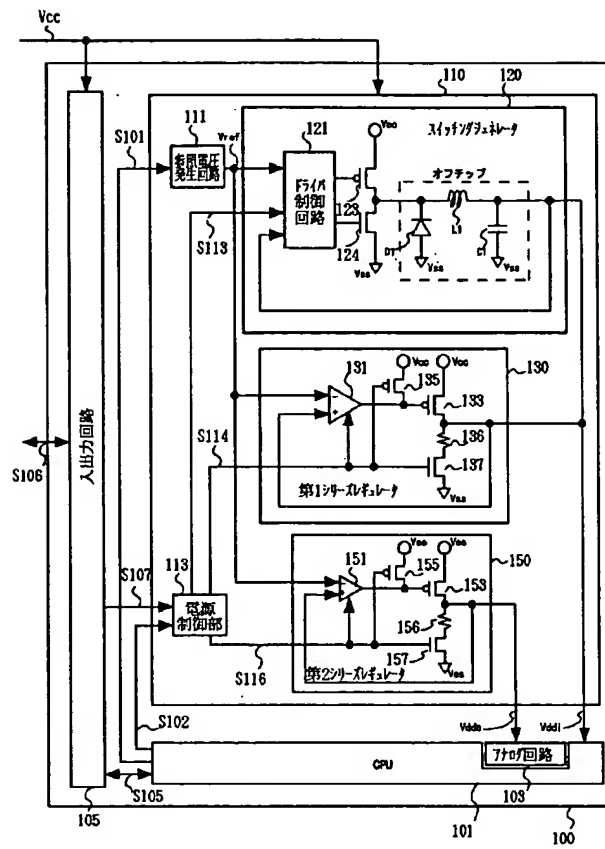
【図6】



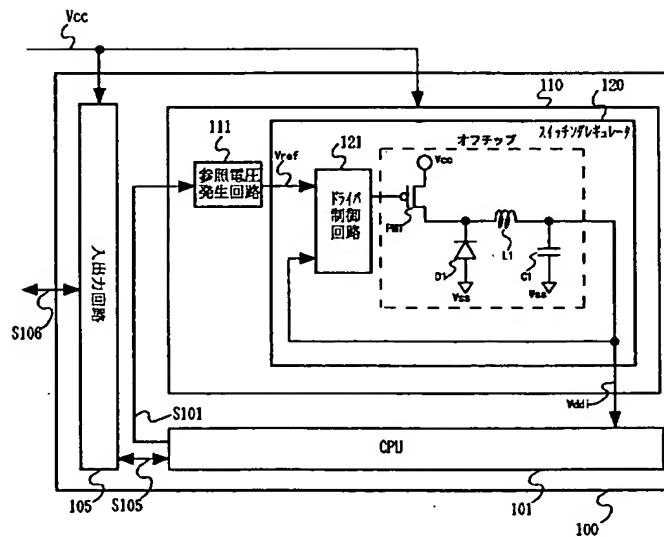
【図11】



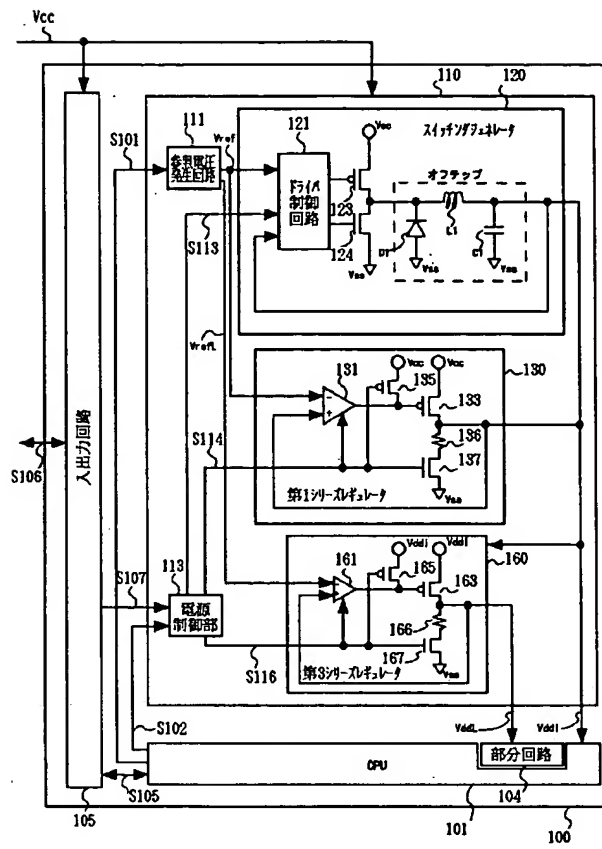
【図7】



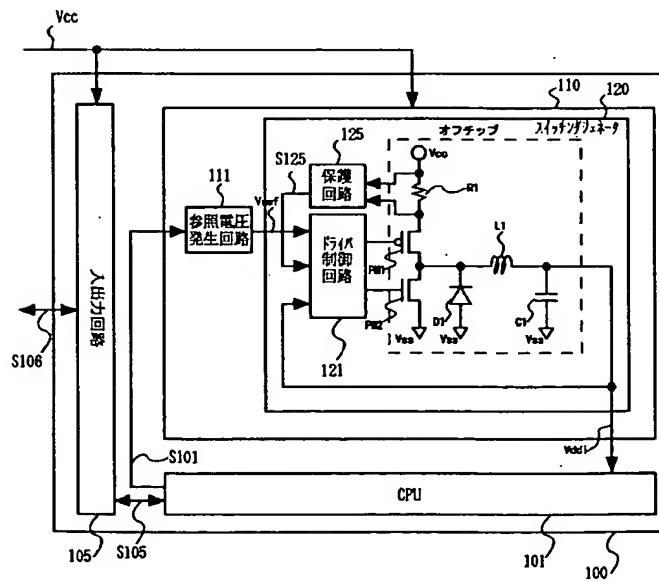
【図12】



【図8】



【図13】



【図 15】

